

REC'D 23 DEC 2003

WIPO PCT

PCT/KR 03 / 02677

RO/KR 06.12.2003

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

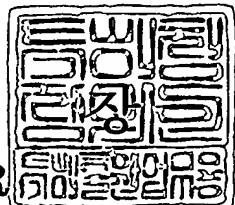
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0078015
Application Number PATENT-2002-0078015

출원년월일 : 2002년 12월 09일
Date of Application DEC 09, 2002

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 01 월 23 일



특허청

COMMISSIONER

PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.12.09
【발명의 명칭】	액정표시장치 및 이의 제조 방법
【발명의 영문명칭】	LIQUID CRYSTAL DISPLAY APPARATUS AND METHOD FOR MANUFACTURING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	최필모
【성명의 영문표기】	CHOI,Pil Mo
【주민등록번호】	710401-1696428
【우편번호】	151-061
【주소】	서울특별시 관악구 봉천11동 1651-3번지 103호
【국적】	KR
【발명자】	
【성명의 국문표기】	이첨
【성명의 영문표기】	YI,Chung
【주민등록번호】	661222-1029449
【우편번호】	449-914
【주소】	경기도 용인시 구성면 상하리 쌍용아파트 315-702호
【국적】	KR
【발명자】	
【성명의 국문표기】	김덕회
【성명의 영문표기】	KIM,Deok Hoi
【주민등록번호】	711111-1025037
【우편번호】	156-090

1020020078015

출력 일자: 2003/1/24

【주소】

서울특별시 동작구 사당동 105번지 신동아아파트 407동
303호

【국적】

KR

【발명자】

【성명의 국문표기】 정관욱

【성명의 영문표기】 JUNG, Kwan Wook

【주민등록번호】 721125-1400519

【우편번호】 442-470

【주소】 경기도 수원시 팔달구 영통동 벽적골 주공아파트 911동
1502호

【국적】 KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 박영
우 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	19	면	19,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	48,000			원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

제조 공정을 감소시킨 액정표시장치 및 이의 제조 방법이 개시되어 있다. 투명기판에 채널충을 형성하고, 채널충의 상부에 채널충을 도체 또는 부도체로 만드는 제 1 전극 및 제 1 전극에 연결된 제 1 신호선을 형성한 후 제 1 전극 및 제 1 신호선을 절연시키고, 채널충에 제 2 전극이 콘택 된 제 2 신호선, 채널충에 제 3 전극이 콘택 된 제 3 신호선을 형성한다. 제 2 전극 및 제 2 신호선, 제 3 전극 및 제 3 신호선의 상면에는 투명한 화소 전극 물질이 도포되고, 화소 전극 물질은 제 2 전극 및 제 2 신호선을 덮도록 패터닝되고, 제 3 전극 및 제 3 신호선을 덮도록 패터닝된다. 이로써, 화소 전극과 제 3 신호선 사이에 별도의 절연막이 형성되지 않음으로써 박막 트랜지스터를 제조하는데 필요한 제조 공정수를 감소시킬 수 있다.

【대표도】

도 2

【색인어】

액정표시장치, 박막 트랜지스터

【명세서】**【발명의 명칭】**

액정표시장치 및 이의 제조 방법{LIQUID CRYSTAL DISPLAY APPARATUS AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 종래 액정표시장치의 박막 트랜지스터의 구조를 도시한 단면도이다.

도 2는 본 발명의 제 1 실시예에 의한 액정표시장치를 도시한 단면도이다.

도 3은 본 발명의 제 1 실시예에 의해 제 1 투명 기판에 채널충을 형성한 것을 도시한 공정도이다.

도 4는 도 3의 A-A 단면도이다.

도 5는 본 발명의 제 1 실시예에 의하여 채널충에 LDD 구조 및 제 1 신호선이 형성된 것을 도시한 공정도이다.

도 6은 도 5의 B-B 단면도이다.

도 7은 본 발명의 제 1 실시예에 의하여 각 고농도 이온 주입 영역 콘택홀이 형성된 것을 도시한 공정도이다.

도 8은 도 7의 C-C 단면도이다.

도 9는 본 발명의 제 1 실시예에 의하여 콘택홀에 제 2 신호선 및 제 3 신호선이 형성된 것을 도시한 공정도이다.

도 10은 도 9의 D-D 단면도이다.

도 11은 본 발명의 제 1 실시예에 의해서 화소 전극이 형성된 것을 도시한 공정도이다.

도 12는 본 발명의 제 2 실시예에 의한 액정표시장치의 제 1 기판을 도시한 평면도이다.

도 13은 도 12의 F-F 단면도이다.

도 14는 본 발명의 제 3 실시예에 의한 액정표시장치의 제 1 기판을 도시한 평면도이다.

도 15는 도 14의 G-G 단면도이다.

도 16은 본 발명의 제 3 실시예에 의한 액정표시장치의 제 1 기판을 도시한 평면도이다.

도 17은 도 14의 H-H 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 액정표시장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 제조 공정을 보다 단순화시킨 액정표시장치 및 이의 제조 방법에 관한 것이다.

<19> 일반적으로, 액정표시장치는 액정을 이용하여 문자, 영상 및 동영상을 디스플레이 하는 평판 표시장치의 하나이다. 액정은 배열에 의하여 광의 투과율을 변경시키고, 액정은 전계에 의하여 배열이 변경된다.

- <20> 액정표시장치는 광투과도를 미소 면적 단위로 변경하기 위하여 화소 전극들 및 공통 전극을 갖는다. 화소 전극들은 제 1 투명 기판에 매트릭스 형태로 배치되고, 공통 전극은 제 2 투명 기판에 화소 전극들과 마주보도록 형성된다.
- <21> 공통 전극에는 레퍼런스 전압이 인가되며, 화소 전극에는 영상 신호에 상응하는 화소 전압이 인가된다.
- <22> 화소 전압은 화소 전극마다 형성된 박막 트랜지스터(Thin Film Transistor, TFT)에 의하여 수행된다.
- <23> 박막 트랜지스터는 매우 작은 크기 및 매우 복잡한 구성을 갖는다.
- <24> 도 1은 종래 액정표시장치의 박막 트랜지스터의 구조를 도시한 단면도이다.
- <25> 도 1을 참조하면, 종래 박막 트랜지스터(10)는 게이트 전극(1), 제 1 절연막(2), 채널층(3), 소오스 전극(4), 제 2 절연막(6), 화소 전극(8)에 연결된 드레인 전극(5)을 갖는다.
- <26> 구체적으로, 투명 기판(9)에는 게이트 전극(1)이 형성된다. 게이트 전극(1)에는 구동 시그널을 인가하는 게이트 라인(미도시)이 연결되어 있다.
- <27> 제 1 절연막(2)은 게이트 전극(1) 및 게이트 라인을 절연시키기 위해 투명 기판(9)의 전면적에 형성된다.
- <28> 채널층(3)은 제 1 절연막(2)의 상면에 형성되며, 게이트 전극(1)의 상부에 배치된다. 채널층(3)은 아몰퍼스 실리콘 물질로 이루어진 아몰퍼스 실리콘 채널층(3a) 및 n⁺ 아몰퍼스 실리콘 물질로 이루어진 n⁺ 아몰퍼스 실리콘 채널층(3b)으로 구성된다.

- <29> n^+ 아몰퍼스 실리콘 채널층(3b)은 아몰퍼스 실리콘 채널층(3a)의 상면에 분리되어 형성된다.
- <30> 소오스 전극(4)은 2 개로 구성된 n^+ 아몰퍼스 실리콘 채널층(3b) 중 어느 하나에 연결되고, 드레인 전극(5)은 2 개로 구성된 n^+ 아몰퍼스 실리콘 채널층(3b)의 나머지 하나에 연결된다.
- <31> 제 2 절연막(6)은 소오스 전극(4) 및 드레인 전극(5)이 덮이도록 투명 기판(9)에는 전면적에 걸쳐 형성된다. 제 2 절연막(6)에는 드레인 전극(5)의 일부가 개구되도록 콘택홀(6a)이 형성된다.
- <32> 화소 전극(8)은 제 2 절연막(6)의 상면에 형성되며, 콘택홀(6a)을 통해 드레인 전극(5)과 연결된다.
- <33> 그러나, 이와 같은 종래 액정표시장치의 박막 트랜지스터(10)는 드레인 전극(5)과 화소 전극(8) 사이에 콘택홀(6a)을 갖는 제 2 절연막(6)을 형성해야 하기 때문에 박막 트랜지스터(10)의 제조 공정수가 증가하고 구조가 복잡해지는 문제점을 갖는다.
- 【발명이 이루고자 하는 기술적 과제】
- <34> 따라서, 본 발명은 이와 같은 종래 문제점을 감안한 것으로써, 본 발명의 제 1 목적은 보다 콤팩트한 구조를 갖는 박막 트랜지스터를 갖는 액정표시장치를 제공함에 있다.
- <35> 또한, 본 발명의 제 2 목적은 보다 콤팩트한 구조를 갖는 박막 트랜지스터를 갖는 액정표시장치의 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

- <36> 이와 같은 본 발명의 제 1 목적을 구현하기 위하여 본 발명은 제 1 투명기판, 제 1 투명기판의 상면에 형성된 채널충, 채널충과 절연되도록 채널충의 상부에 배치된 제 1 전극을 갖으며 제 1 방향으로 뻗은 제 1 신호선, 채널충에 연결된 제 2 전극을 갖으며, 제 2 방향으로 뻗은 제 2 신호선, 채널충에 제 2 신호선과 단락 되도록 연결된 제 3 전극을 갖는 제 3 신호선, 제 3 신호선을 덮으며 제 1 투명기판으로 공급된 광이 투과되는 화소 전극, 제 2 신호선을 덮어 화소 전극이 패터닝될 때 제 2 신호선이 동반 식각 되는 것을 방지하기 위한 식각 저지막을 포함하는 제 1 기판, 제 1 투명기판과 마주보는 제 2 투명기판, 화소 전극과 마주보도록 제 2 투명기판에 형성된 공통 전극을 포함하는 제 2 기판 및 제 1 기판 및 제 2 기판 사이에 배치된 액정을 포함하는 액정표시장치를 제공한다.
- <37> 또한, 본 발명의 제 2 목적을 구현하기 위하여 본 발명은 제 1 투명기판의 상면에 채널충을 형성하는 단계, 채널충과 절연되도록 채널충의 상부에 배치된 제 1 전극을 갖는 제 1 신호선을 형성하는 단계, 채널충에 연결된 제 2 전극을 갖는 제 2 신호선을 형성하는 단계, 채널충에 제 2 신호선과 단락 되도록 연결된 제 3 전극을 갖는 제 3 신호선을 형성하는 단계 및 제 3 신호선을 덮으며 제 1 투명기판으로 공급된 광이 투과되는 화소 전극 및 제 2 신호선을 덮어 화소 전극이 패터닝될 때 제 2 신호선이 동반 식각 되는 것을 방지하기 위한 식각 저지막을 형성하여 제 1 기판을 제조하는 단계, 제 1 투명기판과 마주보는 제 2 투명기판에 공통 전극을 형성하여 제 2 기판을 제조하는 단계 및 제 1 기판의 화소 전극 및 제 2 기판의 공통 전극 사이에 액정을 주입하는 단계를 포함하는 액정표시장치의 제조 방법을 제공한다.

- <38> 본 발명에 의하면, 액정표시장치를 작동시키기 위한 박막 트랜지스터의 구조 및 제조 과정을 단순화시켜 액정표시장치의 제조기간을 단축시킨다.
- <39> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <40> <제 1 실시예>
- <41> 도 2는 본 발명의 제 1 실시예에 의한 액정표시장치를 도시한 단면도이다.
- <42> 도 2를 참조하면, 액정표시장치(100)는 제 1 기판(110), 제 2 기판(120) 및 액정(130)으로 구성된다.
- <43> 제 1 기판(110)은 다시 제 1 투명 기판(111), 채널층(112), 제 1 절연막(113), 제 1 신호선(114), 제 2 절연막(115), 제 2 신호선(116), 제 3 신호선(117), 화소 전극(118) 및 식각 저지막(119)으로 구성된다.
- <44> 제 1 투명 기판(111)은 바람직하게 광투과율이 뛰어난 투명한 유리 기판이다.
- <45> 채널층(112)은 제 1 투명 기판(111)에 형성된다. 채널층(112)은 아몰퍼스 실리콘 물질로 이루어지며 사각형 형상을 갖는 박막이다.
- <46> 채널층(112)은 불순물이 제 1 도우즈량으로 이온 주입된 2 개의 고농도 이온 도핑 영역(112a, 112b) 및 불순물이 제 1 도우즈량보다 작은 제 2 도우즈량으로 이온 주입된 저농도 이온 도핑 영역(112c, 112d)으로 구성된다.
- <47> 고농도 이온 도핑 영역(112a, 112b)은 채널층(112)의 양쪽 에지로부터 안쪽으로 제 1 길이(L1) 이격된 곳까지 형성되며, 저농도 이온 도핑 영역(112c, 112d)은 고농도 이온 도핑 영역(112a, 112b)으로부터 제 2 길이(L2) 이격된 곳까지 형성된다. 저농도 이온 도

평 영역(112c, 112d)의 사이에는 제 3 길이(L3)로 불순물이 이온 도핑되지 않은 순수 아몰퍼스 실리콘 영역(112e)이 형성된다.

<48> 제 1 절연막(113)은 채널층(112)이 덮이도록 제 1 투명 기판(111)에 형성된다. 제 1 절연막(113)에는 채널층(112)의 각 고농도 이온 도핑 영역(112a, 112b)이 외부에 대하여 노출되도록 하는 콘택홀(113a, 113b)을 갖는다.

<49> 제 1 신호선(114)은 제 1 절연막(113)의 상면에 형성되며, 제 1 신호선(114)의 일부로는 제 1 전극(114a)이 연장된다. 제 1 전극(114a)은 제 1 절연막(113)의 상면 중 순수 아몰퍼스 실리콘 영역(112e)에 형성된다. 이때, 제 1 전극(114a)의 폭은 제 3 길이(L3)와 동일하다.

<50> 제 2 절연막(115)은 제 1 신호선(114)이 덮이도록 제 1 투명 기판(111)에 형성되며, 제 2 절연막(115)에는 고농도 이온 도핑 영역(112a, 112b)이 외부에 대하여 노출되도록 한 쌍의 콘택홀(115a, 115b)이 형성된다.

<51> 제 2 절연막(115)의 상면에는 다시 제 2 신호선(116) 및 제 3 신호선(117)이 형성된다.

<52> 제 2 신호선(116)으로부터는 제 2 전극(116a)이 연장되며, 제 2 전극(116a)은 도면부호 115a로 도시된 콘택홀에 연결된다. 제 3 신호선(117)으로부터는 제 3 전극(117a)이 연장되며, 제 3 전극(117a)은 도면부호 115b로 도시된 콘택홀에 연결된다.

<53> 화소 전극(118)은 제 2 절연막(115)의 상면에 형성되며, 제 3 신호선(117)과 연결된다. 이때, 화소 전극(118)은 제 3 신호선(117)이 모두 덮이도록 형성된다. 화소 전극(117)은 투명하면서 도전성인 인듐 주석 산화막(Indium Tin Oxide, ITO)으로 구성된다.

- <54> 한편, 식각 저지막(119)은 제 2 신호선(116)을 모두 덮는다. 식각 저지막(119)은 인듐 주석 산화막으로 구성된다.
- <55> 제 2 신호선(116)을 식각 저지막(119)으로 및 제 3 신호선(117)을 화소 전극(118)으로 덮는 이유는 인듐 주석 산화막을 패터닝할 때, 인듐 주석 산화막 식각용 에체트가 제 2 신호선(116) 및 제 3 신호선(117)을 동반 식각하지 못하도록 하기 위함이다.
- <56> 한편, 제 2 기판(120)은 제 2 투명 기판(121)의 전면적에 걸쳐 공통 전극(122)이 형성된다. 바람직하게 제 2 투명 기판(121) 및 공통 전극(122)의 사이에는 컬러필터(123)가 더 설치될 수 있다.
- <57> 액정표시장치(100)는 제 1 기판(110) 및 제 2 기판(120)의 사이에 액정(130)이 주입되어 제작된다.
- <58> 이하, 본 발명의 제 1 실시예에 의한 액정표시장치의 제조 방법을 첨부된 도면을 참조하여 설명하기로 한다.
- <59> 도 3은 본 발명의 제 1 실시예에 의해 제 1 투명 기판에 채널충을 형성한 것을 도시한 공정도이다. 도 4는 도 3의 A-A 단면도이다.
- <60> 도 3 또는 도 4를 참조하면, 제 1 투명 기판(111)에는 아몰퍼스 실리콘 물질로 이루어진 아몰퍼스 실리콘 박막(112f)이 증착되고, 아몰퍼스 실리콘 박막(112f)은 패터닝되어 제 1 투명 기판(111)에는 채널충(112)이 형성된다. 채널충(112)은 바람직하게 박막 형태의 사각형이다.
- <61> 도 4를 참조하면, 제 1 투명 기판(111)에 채널충(112)이 형성된 상태에서 채널충(112)이 덮이도록 제 1 투명 기판(111)에는 제 1 절연막(113)이 형성된다.

- <62> 도 5는 본 발명의 제 1 실시예에 의하여 채널충에 LDD 구조 및 제 1 신호선이 형성된 것을 도시한 공정도이다. 도 6은 도 5의 B-B 단면도이다.
- <63> 도 5 또는 도 6을 참조하면, 제 1 절연막(113)의 상면에는 전면적에 걸쳐 게이트 메탈 박막이 증착된다. 게이트 메탈 박막은 패터닝되어 제 1 신호선(114) 및 제 1 전극(114a)이 형성된다.
- <64> 제 1 신호선(114)은 제 1 방향으로 뺀도록 패터닝되며, 제 1 전극(114a)은 제 1 신호선(114)으로부터 제 1 방향과 직교하는 제 2 방향으로 뺀도록 패터닝된다.
- <65> 이어서, 제 1 신호선(114)의 상면에는 영역 K를 덮는 이온 마스크(미도시)가 형성되고, 고농도 이온 주입이 수행된다. 채널충(112) 중 고농도 이온 주입된 영역에 도면부호 112a, 112b를 부여한다. 이어서, 이온 마스크는 스트립 되고, 채널충(112)의 전면적에 걸쳐 저농도 이온 주입이 수행된다. 채널충(112)에 저농도 이온 주입된 영역에 도면부호 112c, 112d를 부여하기로 한다. 따라서, 채널충(112)에는 제 1 전극(114a)과 인접한 영역에 저농도 이온 주입 영역(112c, 112d)이 형성되고, 제 1 전극(114a)을 기준으로 저농도 이온 주입 영역(112c, 112d)의 바깥쪽에는 고농도 이온 주입 영역(112a, 112b)이 형성된다.
- <66> 도 7은 본 발명의 제 1 실시예에 의하여 각 고농도 이온 주입 영역 콘택홀이 형성된 것을 도시한 공정도이다. 도 8은 도 7의 C-C 단면도이다.
- <67> 도 7 또는 도 8을 참조하면, 제 1 투명 기판(111)에는 제 1 신호선(114) 및 제 1 전극(114a)이 덮이도록 전면적에 걸쳐 제 2 절연막(115)이 형성된다.

- <68> 제 2 절연막(115)이 형성된 후, 제 2 절연막(115)에는 고농도 이온 주입 영역(112a, 112b)을 개구시키는 한 쌍의 콘택홀(115a, 115b)이 형성된다. 콘택홀(115a, 115b)은 제 1 전극(114a)을 기준으로 제 1 전극(114a)의 양쪽에 형성된다.
- <69> 제 2 절연막(115)에 콘택홀(115a, 115b)을 형성하는 도중 제 2 절연막(115)의 하부에 배치된 제 1 절연막(113)에도 콘택홀(113a, 113b)이 함께 형성된다.
- <70> 도 9는 본 발명의 제 1 실시예에 의하여 콘택홀에 제 2 신호선 및 제 3 신호선이 형성된 것을 도시한 공정도이다. 도 10은 도 9의 D-D 단면도이다.
- <71> 도 9 또는 도 10을 참조하면, 제 2 절연막(115)의 상면에는 메탈 박막이 증착된다. 메탈 박막은 패터닝되어 제 2 신호선(116) 및 제 3 신호선(117)이 형성된다.
- <72> 제 2 신호선(116)은 제 1 신호선(114)과 수직 방향인 제 2 방향으로 형성되고, 제 2 전극(116a)은 제 2 신호선(116)으로부터 상기 제 1 신호선(114)과 평행한 방향으로 형성된다. 제 2 전극(116a)의 일부는 콘택홀(115a, 113a)에 의하여 채널층(112) 중 고농도 이온 도핑 영역(112a)에 콘택 된다.
- <73> 제 3 신호선(117)은 제 2 신호선(116) 및 제 2 전극(116a)을 형성하는 과정에서 함께 형성된다. 제 3 신호선(117)은 제 1 신호선(114)과 평행한 방향으로 형성되며, 제 3 신호선(117)의 일부인 제 3 전극(117a)은 콘택홀(115b, 113b)에 의하여 고농도 이온 도핑 영역(112b)에 콘택 된다.
- <74> 도 11은 본 발명의 제 1 실시예에 의해서 화소 전극이 형성된 것을 도시한 공정도이다.

- <75> 도 11 및 도 2를 참조하면, 제 2 절연막(115)의 상면에는 전면적에 걸쳐 투명한 인듐 주석 산화 물질로 인듐 주석 산화막이 형성된다. 이어서, 인듐 주석 산화막은 인듐 주석 산화막 식각액에 의하여 패터닝된다.
- <76> 이때, 인듐 주석 산화막 식각액은 제 2 신호선(116), 제 2 전극(116a), 제 3 전극(117a) 및 제 3 신호선(117)이 덮이도록 인듐 주석 산화막을 식각 한다. 따라서, 인듐 주석 산화막 식각액으로 인듐 주석 산화막을 식각 할 때 식각 시간이 정확하지 않거나 인듐 주석 산화막의 두께가 균일하지 않을 경우, 제 2 신호선(116), 제 2 전극(116a), 제 3 전극(117a) 및 제 3 신호선(117)도 인듐 주석 산화막과 함께 식각 된다.
- <77> 제 2 신호선(116), 제 2 전극(116a), 제 3 전극(117a) 및 제 3 신호선(117)이 식각 되면, 저항 증가, 단락 등에 의하여 디스플레이가 불가능해지거나 디스플레이 품질이 크게 저하된다.
- <78> 이를 방지하기 위해서, 인듐 주석 산화막을 식각 할 때, 제 2 신호선(116), 제 2 전극(116a)을 덮고 있는 인듐 주석 산화막은 남겨지고, 제 3 전극(117a) 및 제 3 신호선(117) 또한 인듐 주석 산화막에 의하여 덮여진다.
- <79> 제 2 신호선(116), 제 2 전극(116a)을 덮는 인듐 주석 산화막은 "식각 저지막(119)"이고, 제 3 전극(117a) 및 제 3 신호선(117)을 덮는 인듐 주석 산화막은 화소 전극(118)이다.
- <80> 도 2를 참조하면, 제 2 기판(120)은 제 2 투명 기판(121)에 인듐 주석 산화막 및 인듐 아연 산화막으로 구성된 공통 전극(122)을 형성하여 형성한다.

- <81> 제 1 기판(110) 및 제 2 기판(120)은 상호 어셈블리 되고, 제 1 기판(110) 및 제 2 기판(120)의 사이에는 액정(130)이 주입된다.
- <82> 이와 같은 과정을 거쳐 제작된 액정표시장치(100)는 제 1 기판(110)의 제 3 신호선(117) 및 화소 전극(118)이 직접 형성되기 때문에 종래와 같이 충간 절연막에 콘택홀을 형성하는 방법에 비하여 공정이 단순화되는 장점을 갖는다.
- <83> <제 2 실시예>
- <84> 본 발명의 제 2 실시예에서는 화소 전극과 제 3 신호선 사이에 충간 절연막이 없는 또 다른 액정표시장치가 설명된다.
- <85> 도 12는 본 발명의 제 2 실시예에 의한 액정표시장치의 제 1 기판을 도시한 평면도이다. 도 13은 도 12의 F-F 단면도이다.
- <86> 제 2 실시예에서 제 1 기판(110)의 제 1 투명기판(111)에 채널층(112), 제 1 절연막(113), 제 1 신호선(114), 제 2 절연막(115)을 형성하는 공정까지는 앞서 설명한 도 2 내지 도 11을 통해 설명된 <제 1 실시예>와 동일함으로 그 중복된 설명은 생략하기로 한다.
- <87> 도 12 또는 도 13을 참조하면, 제 2 절연막(115)의 상면에는 인듐 주석 산화막이 증착되고, 인듐 주석 산화막은 식각되어 도면부호 115a로 도시된 콘택홀을 통하여 고농도 이온 도핑 영역(112a)에는 제 2 전극부(116c)가 연결되고, 도면부호 115b로 도시된 콘택홀을 통하여 또 다른 고농도 이온 도핑 영역(112b)에는 화소 전극(118a)이 동시에 형성된다.

- <88> 이어서, 제 2 전극부(116c) 및 화소 전극(118a)이 형성된 제 1 투명 기판(111)의 상면에는 다시 전면적에 걸쳐 메탈 박막이 형성된다. 메탈 박막은 패터닝되어 제 2 전극부(116c)의 상면을 덮어 제 2 전극부(116c)의 상면에는 제 2 신호선(116d)이 형성된다.
- <89> 이때, 메탈 박막을 패터닝하는데 사용되는 메탈 박막 식각액은 인듐 주석 산화막을 식각하지 않는 화학적 특성을 갖도록 한다.
- <90> 한편, 제 2 기판(120)은 제 2 투명 기판(121)의 전면적에 걸쳐 공통 전극(122)이 형성된다. 바람직하게 제 2 투명 기판(121) 및 공통 전극(122)의 사이에는 컬러필터(123)가 더 설치될 수 있다.
- <91> 액정표시장치(100)는 제 1 기판(110) 및 제 2 기판(120)의 사이에 액정(130)이 주입되어 제작된다.
- <92> 이하, 액정표시장치(100)의 제조 방법은 앞서 설명한 실시예 1의 방법과 유사함으로 중복된 설명은 생략하기로 한다.
- <93> <제 3 실시예>
- <94> 본 발명의 제 3 실시예에서는 화소 전극과 제 3 신호선 사이에 충간 절연막이 없는 또 다른 액정표시장치가 설명된다.
- <95> 도 14는 본 발명의 제 3 실시예에 의한 액정표시장치의 제 1 기판을 도시한 평면도이다. 도 15는 도 14의 G-G 단면도이다.
- <96> 제 3 실시예에서 제 1 기판(110)의 제 1 투명기판(111)에 채널층(112), 제 1 절연막(113), 제 1 신호선(114), 제 2 절연막(116)을 형성하는 공정까지는 앞서 설명한 제 1 실시예와 동일함으로 그 중복된 설명은 생략하기로 한다.

- <97> 도 14 또는 도 15를 참조하면, 콘택홀(115a, 115b)이 형성된 제 2 절연막(115)의 상면에는 콘택홀(115a, 115b)과 콘택 되지 않도록 인듐 주석 산화막을 패터닝하여 형성한 화소 전극(118c)이 형성된다.
- <98> 이어서, 화소 전극(118c)이 형성된 제 2 절연막(115)의 상면에는 다시 메탈 박막이 증착되고, 메탈 박막은 메탈 박막을 식각 하는 식각액에 의하여 식각 된다.
- <99> 이때, 메탈 박막은 화소 전극(118c)을 형성하기 위한 인듐 주석 산화막을 식각하지 못하는 식각액을 사용하는 것이 바람직하다.
- <100> 도 16은 본 발명의 제 3 실시예에 의한 액정표시장치의 제 1 기판을 도시한 평면도이다. 도 17은 도 14의 H-H 단면도이다.
- <101> 메탈 박막은 패터닝되어 제 2 전극(116a)을 갖는 제 2 신호선(116) 및 제 3 전극(117a)을 갖는 제 3 신호선(117)으로 구성된다.
- <102> 제 2 전극(116a)은 제 2 신호선(116)으로부터 도면부호 115a로 도시된 콘택홀 쪽으로 연장되어 고농도 이온 도핑 영역(112a)에 연결되고, 제 3 전극(117a)은 도면부호 115b로 도시된 콘택홀을 매개로 고농도 이온 도핑 영역(112b)에 콘택 되고, 제 3 신호선(117)은 화소 전극(118c)에 연결된다.
- <103> 제 2 기판(120)은 제 2 투명 기판(121)의 전면적에 걸쳐 공통 전극(122)이 형성된다. 바람직하게 제 2 투명 기판(121) 및 공통 전극(122)의 사이에는 컬러필터(123)가 더 설치될 수 있다.
- <104> 액정표시장치(100)는 제 1 기판(110) 및 제 2 기판(120)의 사이에 액정(130)이 주입되어 제작된다.

【발명의 효과】

- <105> 이상에서 상세하게 설명한 바에 의하면, 액정표시장치에서 액정을 제어하기 위한 박막 트랜지스터의 제조 공정을 단순화 및 박막 트랜지스터를 제조하는데 소요되는 제작 기간을 단축시키는 효과를 갖는다.
- <106> 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

(a) 제 1 투명기판, (b) 상기 제 1 투명기판의 상면에 형성된 채널층, (c) 상기 채널층과 절연되도록 상기 채널층의 상부에 배치된 제 1 전극을 갖으며 제 1 방향으로 뻗은 제 1 신호선, (d) 상기 채널층에 연결된 제 2 전극을 갖으며, 제 2 방향으로 뻗은 제 2 신호선, (e) 상기 채널층에 상기 제 2 신호선과 단락 되도록 연결된 제 3 전극을 갖는 제 3 신호선, (f) 상기 제 3 신호선을 덮으며 상기 제 1 투명기판으로 공급된 광이 투과되는 화소 전극, (g) 상기 제 2 신호선을 덮어 상기 화소 전극이 패터닝될 때 상기 제 2 신호선이 동반 식각 되는 것을 방지하기 위한 식각 저지막을 포함하는 제 1 기판; 제 1 투명기판과 마주보는 제 2 투명기판, 상기 화소 전극과 마주보도록 상기 제 2 투명기판에 형성된 공통 전극을 포함하는 제 2 기판; 및
상기 제 1 기판 및 제 2 기판 사이에 배치된 액정을 포함하는 액정표시장치.

【청구항 2】

제 1 항에 있어서, 상기 제 1 신호선, 제 2 신호선 및 제 3 신호선은 메탈 재질이고, 상기 화소 전극 및 상기 식각 저지막은 인듐 주석 산화(Indium Tin Oxide) 물질인 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 1 항에 있어서, 상기 제 1 신호선은 층간 절연막에 의하여 상기 제 2 신호선 및 제 3 신호선과 절연되며, 상기 층간 절연막에는 상기 채널층과 상기 제 2 신호선 및 제 3 신호선을 콘택 시키는 콘택홀이 형성된 것을 특징으로 하는 액정표시장치.

【청구항 4】

(a) 제 1 투명기판의 상면에 채널충을 형성하는 단계, 상기 채널충과 절연되도록 상기 채널충의 상부에 배치된 제 1 전극을 갖는 제 1 신호선을 형성하는 단계, 상기 채널충에 연결된 제 2 전극을 갖는 제 2 신호선을 형성하는 단계, 상기 채널충에 상기 제 2 신호선과 단락 되도록 연결된 제 3 전극을 갖는 제 3 신호선을 형성하는 단계;

(b) 상기 제 3 신호선을 덮으며 상기 제 1 투명기판으로 공급된 광이 투과되는 화소 전극 및 상기 제 2 신호선을 덮어 상기 화소 전극이 패터닝될 때 상기 제 2 신호선이 동반 식각 되는 것을 방지하기 위한 식각 저지막을 형성하여 제 1 기판을 제조하는 단계;

상기 제 1 투명기판과 마주보는 제 2 투명기판에 공통 전극을 형성하여 제 2 기판을 제조하는 단계; 및

상기 제 1 기판의 화소 전극 및 제 2 기판의 공통 전극 사이에 액정을 주입하는 단계를 포함하는 액정표시장치.

【청구항 5】

제 4 항에 있어서, 상기 화소 전극 및 상기 식각 저지막을 형성하는 단계는 상기 제 1 투명기판에 상기 제 2 신호선 및 제 3 신호선이 덮이도록 인듐 주석 산화막을 충착하는 단계; 및

상기 인듐 주석 산화막을 패터닝하여, 상기 제 3 신호선이 식각 되는 것을 방지하기 위해 상기 제 3 신호선을 덮는 화소 전극 및 상기 제 2 신호선이 식각 되는 것을 방

지하기 위해 상기 제 2 신호선을 덮는 상기 식각 저지막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치.

【청구항 6】

제 4 항에 있어서, 상기 제 1 신호선을 형성하는 단계 이후에는 상기 제 1 신호선을 덮고 상기 채널충에 한 쌍의 콘택홀이 형성된 충간 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치.

【청구항 7】

(a) 제 1 투명기판, (b) 상기 제 1 투명기판의 상면에 형성된 채널충, (c) 상기 채널충과 절연되도록 상기 채널충의 상부에 배치된 제 1 전극을 갖는 제 1 신호선, (d) 상기 채널충에 연결된 제 2 전극, (e) 상기 제 2 전극을 덮는 제 2 신호선, (e) 상기 채널충에 상기 제 2 전극과 단락 되도록 연결된 화소 전극을 포함하는 제 1 기판;
제 1 투명기판과 마주보는 제 2 투명기판, 상기 화소 전극과 마주보도록 상기 제 2 투명기판에 형성된 공통 전극을 포함하는 제 2 기판; 및
상기 제 1 기판 및 제 2 기판 사이에 배치된 액정을 포함하는 액정표시장치.

【청구항 8】

제 7 항에 있어서, 상기 제 1 신호선 및 제 2 신호선은 메탈 재질이고, 상기 제 2 전극 및 상기 화소 전극은 상기 제 1 신호선 및 제 2 신호선을 패터닝하는 과정에서 식각 되지 않는 인듐 주석 산화(Indium Tin Oxide) 물질인 것을 특징으로 하는 액정표시장치.

◦ 【청구항 9】

제 7 항에 있어서, 상기 제 1 신호선은 충간 절연막에 의하여 상기 제 2 신호선 및 상기 화소 전극과 절연되며, 상기 충간 절연막에는 상기 채널충과 상기 제 2 신호선 및 화소 전극을 콘택 시키는 콘택홀이 형성된 것을 특징으로 하는 액정표시장치.

【청구항 10】

제 1 투명기판의 상면에 채널충을 형성하는 단계, 상기 채널충과 절연되도록 상기 채널충의 상부에 제 1 전극을 갖는 제 1 신호선을 형성하는 단계, 상기 채널충에 연결된 제 2 전극 및 상기 채널충에 상기 제 2 전극과 단락 되도록 연결된 화소 전극을 형성하는 단계, 상기 제 2 전극을 덮는 제 2 신호선을 형성하는 단계를 포함하는 제 1 기판을 제조하는 단계;

제 1 투명기판과 마주보는 제 2 투명기판에 상기 화소 전극과 마주보도록 공통 전극을 형성하여 제 2 기판을 제조하는 단계; 및
상기 제 1 기판 및 제 2 기판 사이에 액정을 주입하는 단계를 포함하는 액정표시장치의 제조 방법.

【청구항 11】

제 10 항에 있어서, 상기 제 2 전극 및 상기 화소 전극을 형성하는 단계는
상기 제 2 전극 및 상기 화소 전극이 덮이도록 상기 제 1 투명 기판에 인듐 주석
산화 물질로 인듐 주석 산화막을 형성하는 단계; 및

상기 인듐 주석 산화막을 패터닝하여 상기 채널층에 연결된 제 2 전극 및 상기 채널층에 연결된 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 12】

제 10 항에 있어서, 상기 제 1 신호선을 형성한 후 상기 제 2 전극 및 화소 전극을 형성하기 이전에는 상기 제 1 신호선을 절연시키고, 상기 제 1 전극 및 상기 화소 전극이 상기 채널층에 콘택 되는 콘택홀을 갖는 충간 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

【청구항 13】

(a) 제 1 투명기판, (b) 상기 제 1 투명기판의 상면에 형성된 채널층, (c) 상기 채널층과 절연되도록 상기 채널층의 상부에 배치된 제 1 전극을 갖는 제 1 신호선, (d) 상기 제 1 신호선을 절연시키고 채널층에 한 쌍의 개구가 형성된 충간 절연막, (e) 상기 충간 절연막에 형성된 화소 전극, (f) 상기 채널층에 연결된 제 2 전극을 갖는 제 2 신호선, (g) 상기 채널층에 상기 제 2 신호선과 단락 되도록 연결되는 제 3 전극 및 상기 화소 전극의 상면에 콘택 되는 제 3 신호선을 포함하는 제 1 기판;

제 1 투명기판과 마주보는 제 2 투명기판, 상기 화소 전극과 마주보도록 상기 제 2 투명기판에 형성된 공통 전극을 포함하는 제 2 기판; 및
상기 제 1 기판 및 제 2 기판 사이에 배치된 액정을 포함하는 액정표시장치.

【청구항 14】

제 13 항에 있어서, 상기 제 2 신호선 및 제 3 신호선은 메탈 재질이고, 상기 화소 전극은 상기 제 2 신호선 및 제 3 신호선을 패터닝할 때 식각 되지 않는 인듐 주석 산화(Indium Tin Oxide) 물질로 이루어진 것을 특징으로 하는 액정표시장치.

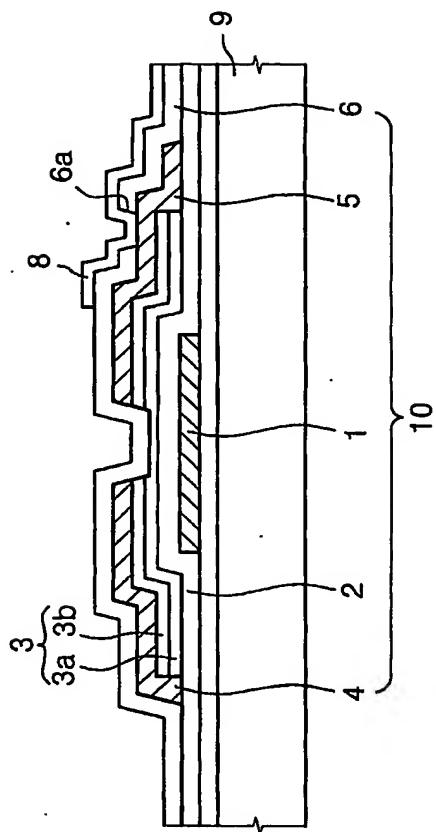
【청구항 15】

제 1 투명기판의 상면에 채널충을 형성하는 단계, 상기 채널충과 절연되도록 상기 채널충의 상부에 배치된 제 1 전극을 갖는 제 1 신호선을 형성하는 단계, 상기 제 1 신호선을 절연시키고 채널충에 한 쌍의 개구가 형성된 충간 절연막을 형성하는 단계, 상기 충간 절연막에 화소 전극을 형성하는 단계, 상기 채널충에 연결된 제 2 전극을 갖는 제 2 신호선 및 상기 채널충에 상기 제 2 신호선과 단락 되도록 연결되는 제 3 전극이 형성 되며 상기 화소 전극의 상면에 콘택 되는 제 3 신호선을 형성하는 단계를 포함하는 제 1 기판을 제조하는 단계;

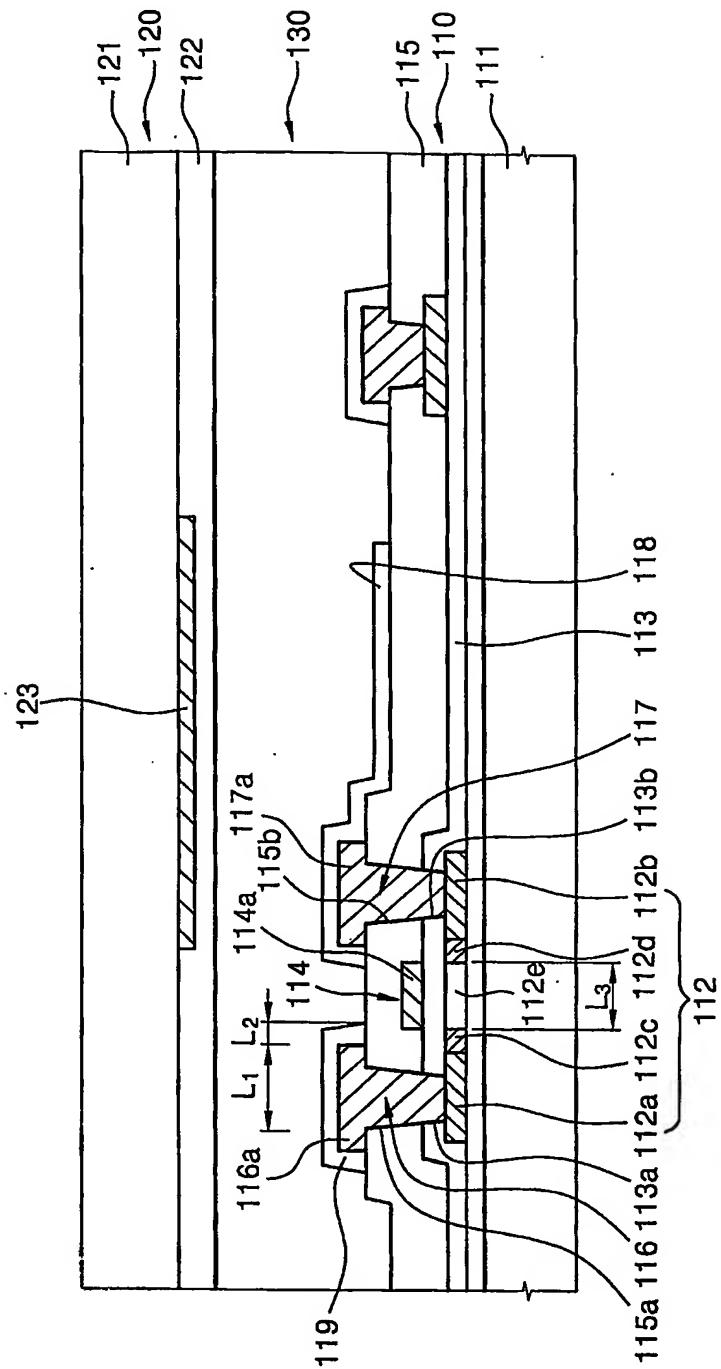
제 1 투명기판과 마주보는 제 2 투명기판에 상기 화소 전극과 마주보도록 공통 전극을 형성하는 단계를 포함하는 제 2 기판을 제조하는 단계; 및
상기 제 1 기판 및 제 2 기판 사이에 액정을 주입하는 단계를 포함하는 액정표시장 치의 제조 방법.

【도면】

【도 1】



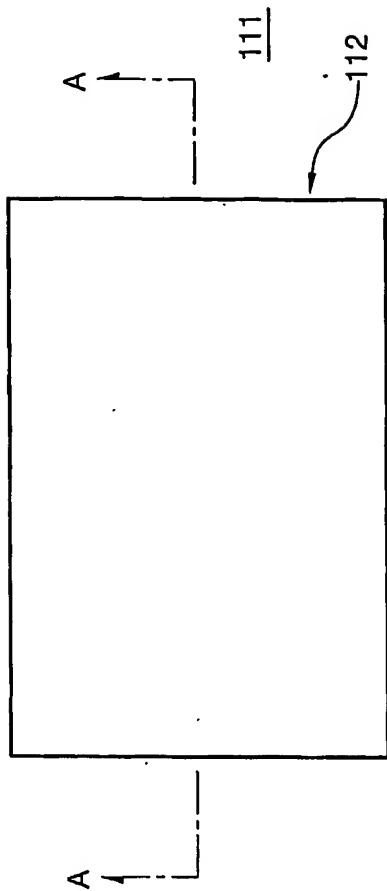
【FIG. 2】



1020020078015

출력 일자: 2003/1/24

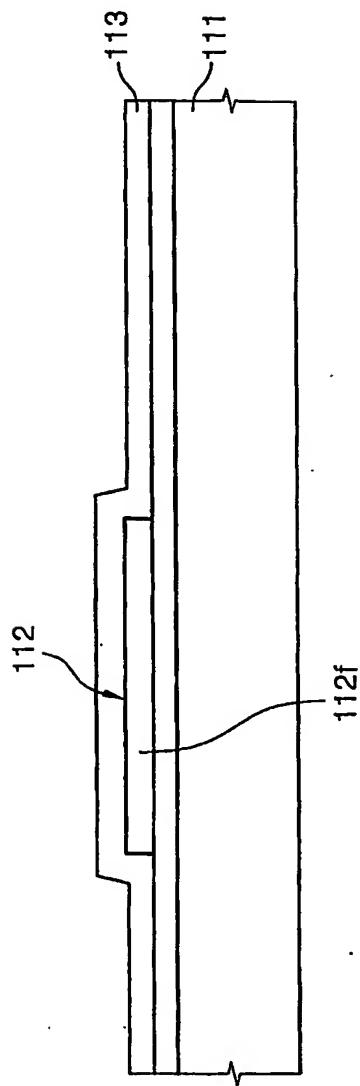
【도 3】



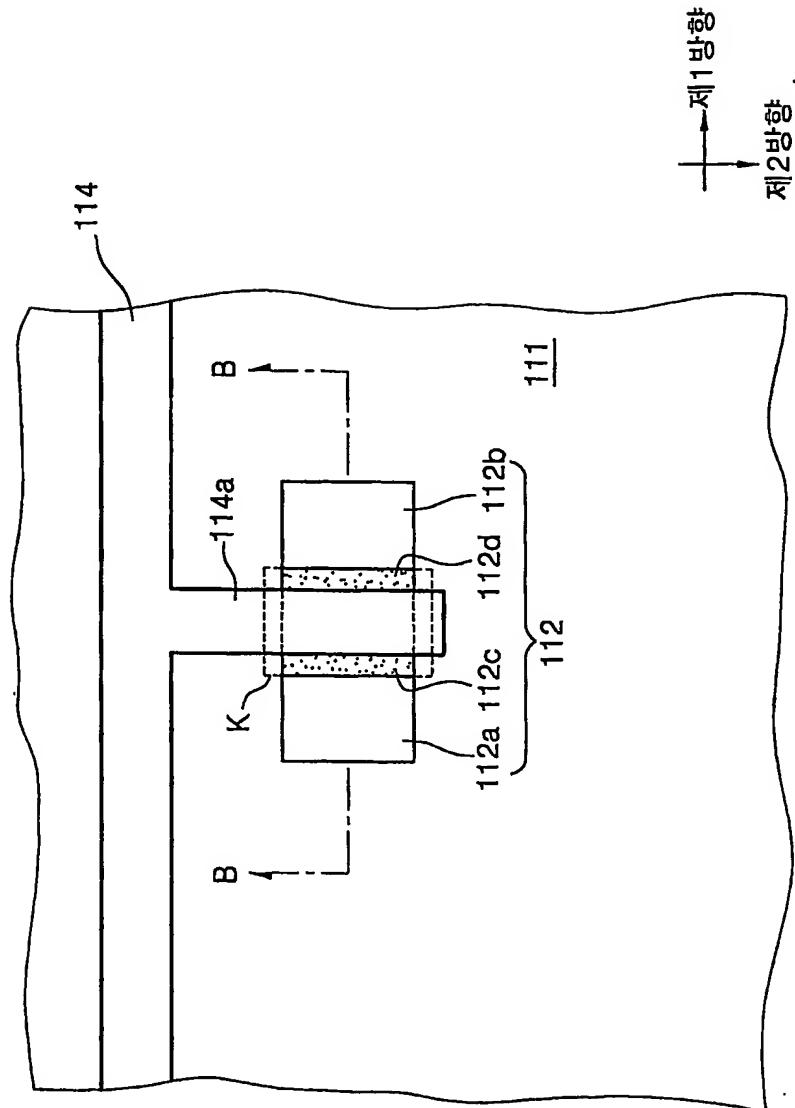
1020020078015

출력 일자: 2003/1/24

【도 4】



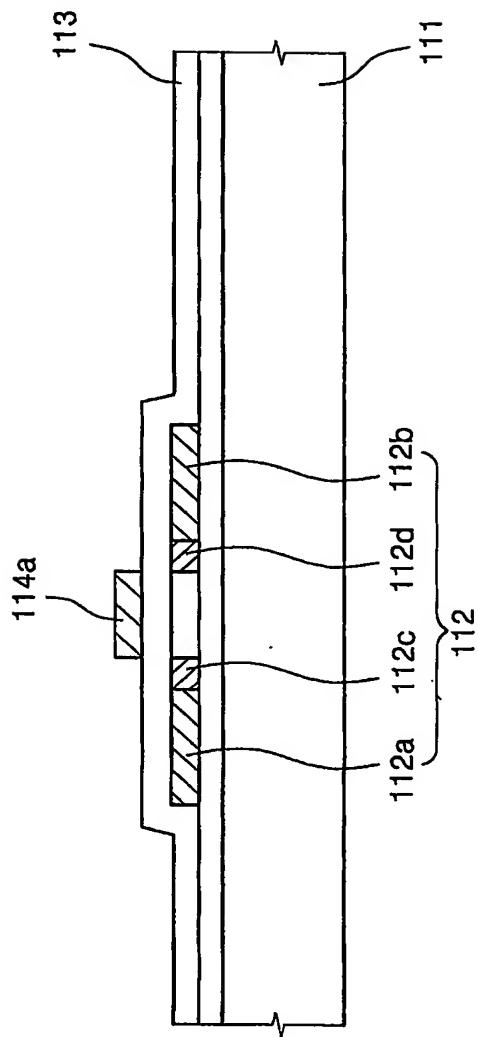
【도 5】



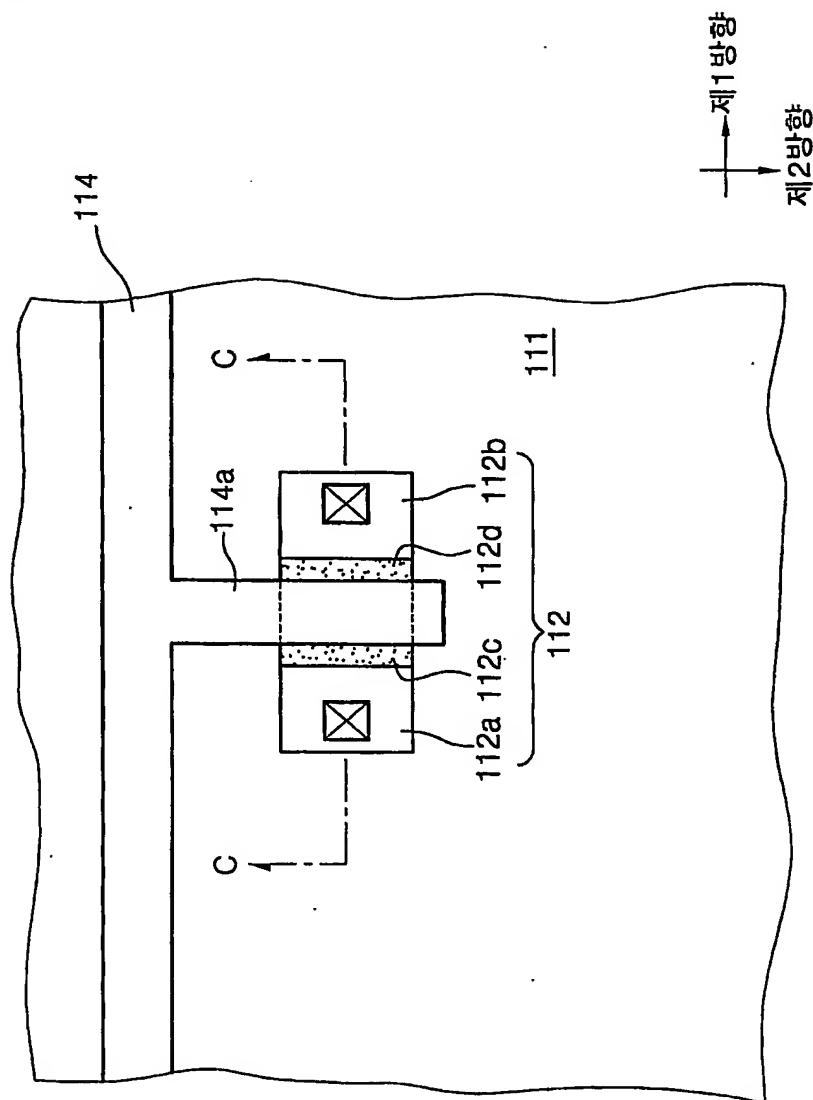
1020020078015

출력 일자: 2003/1/24

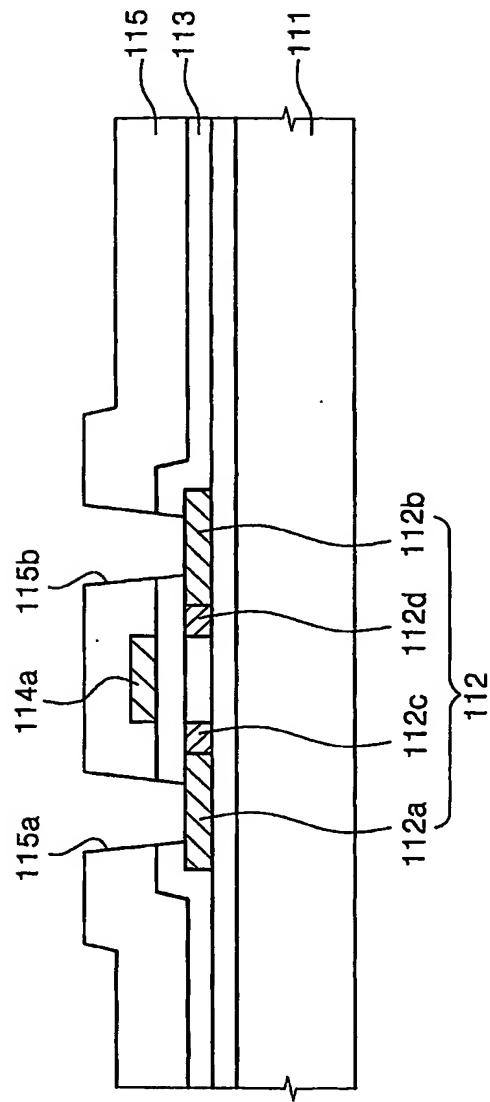
【도 6】



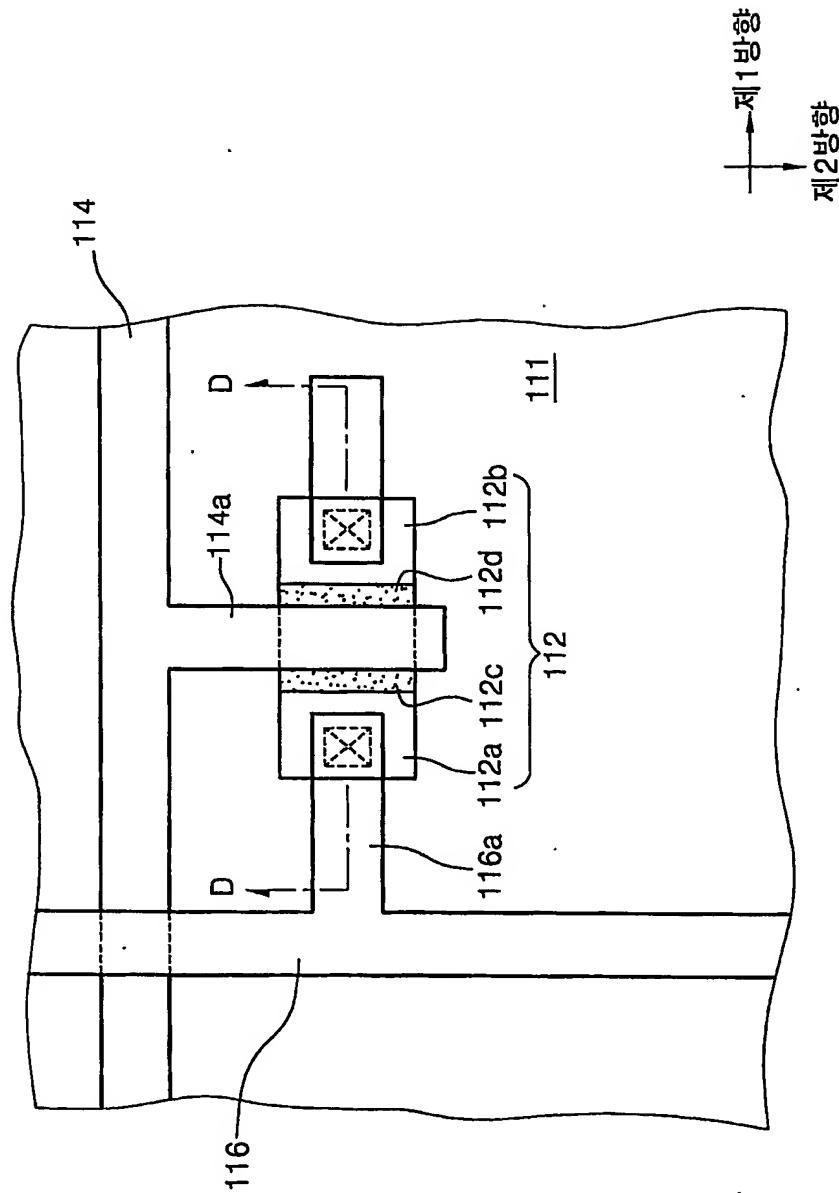
【도 7】



【도 8】



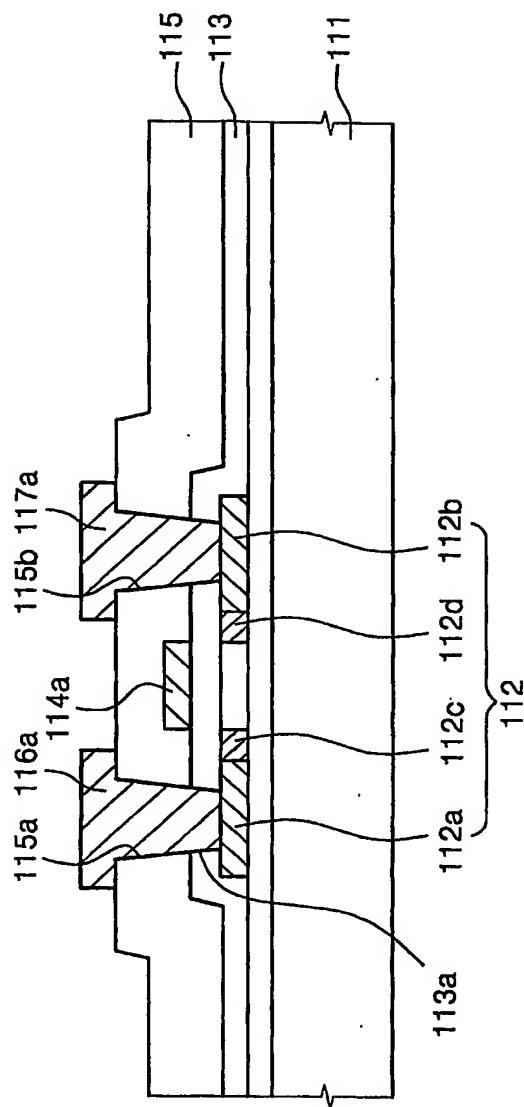
【H 9】



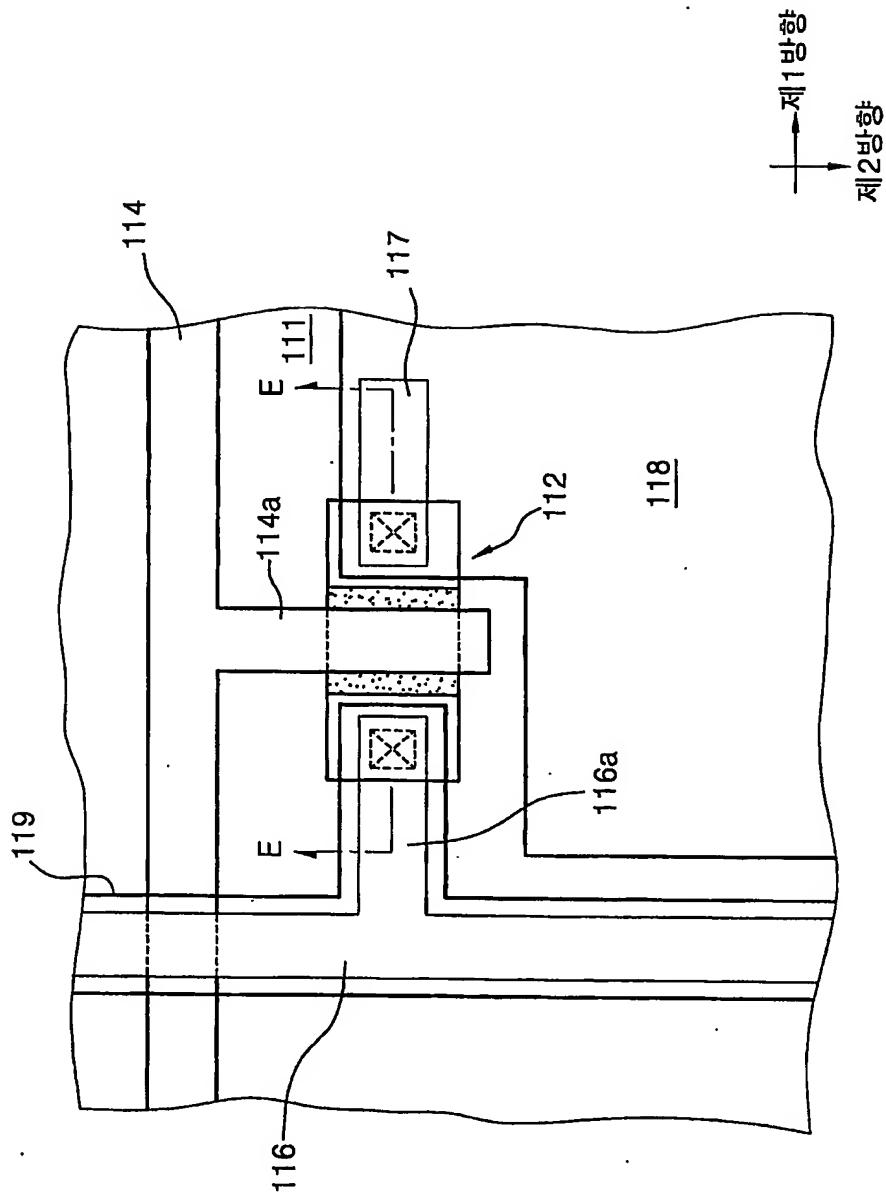
1020020078015

출력 일자: 2003/1/24

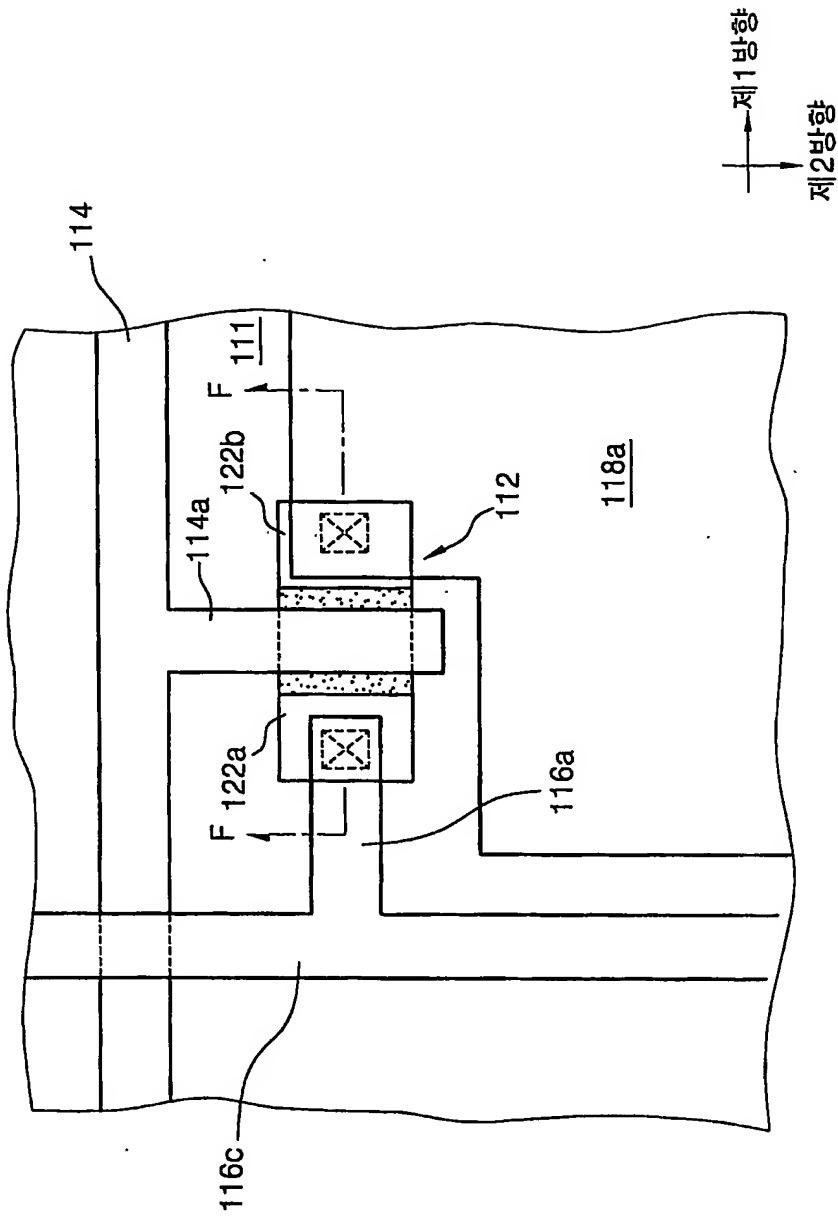
【도 10】



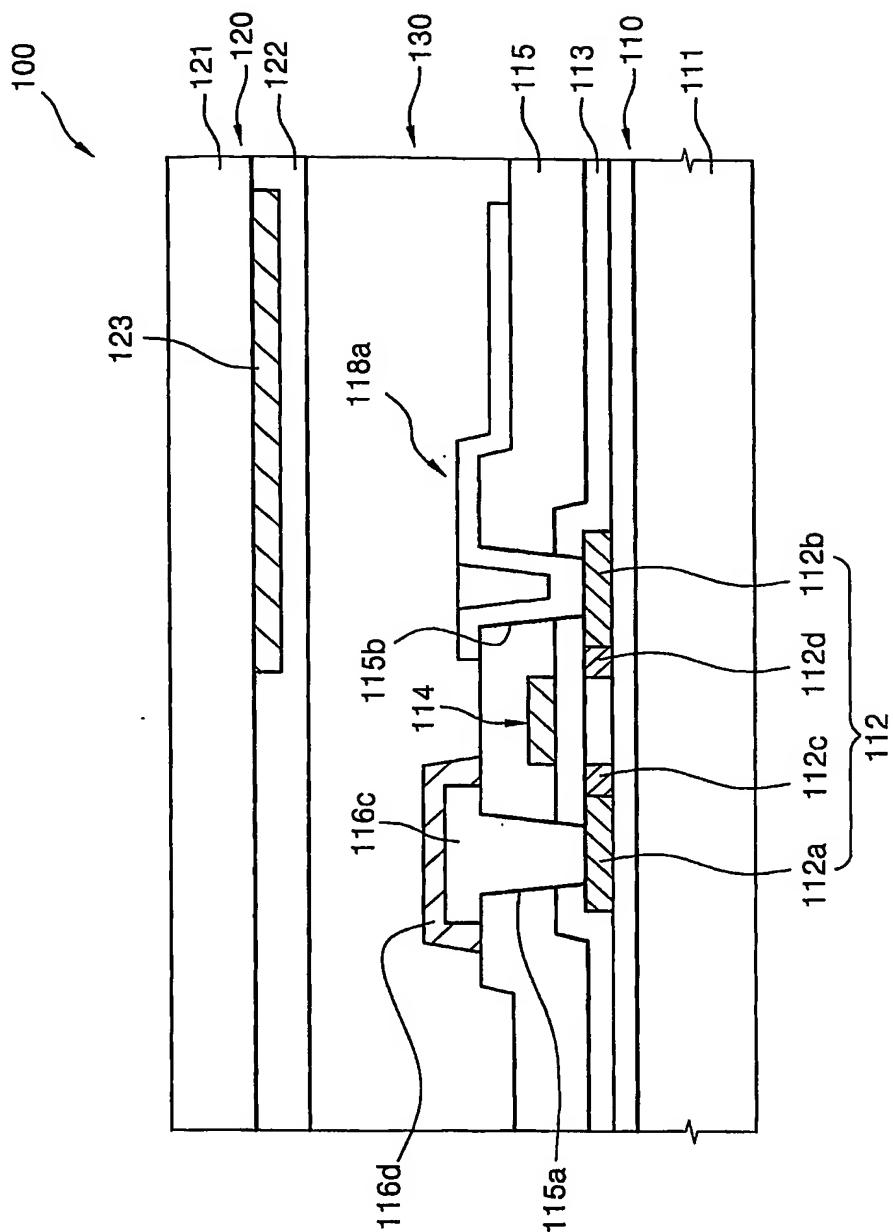
【도 11】



【도 12】



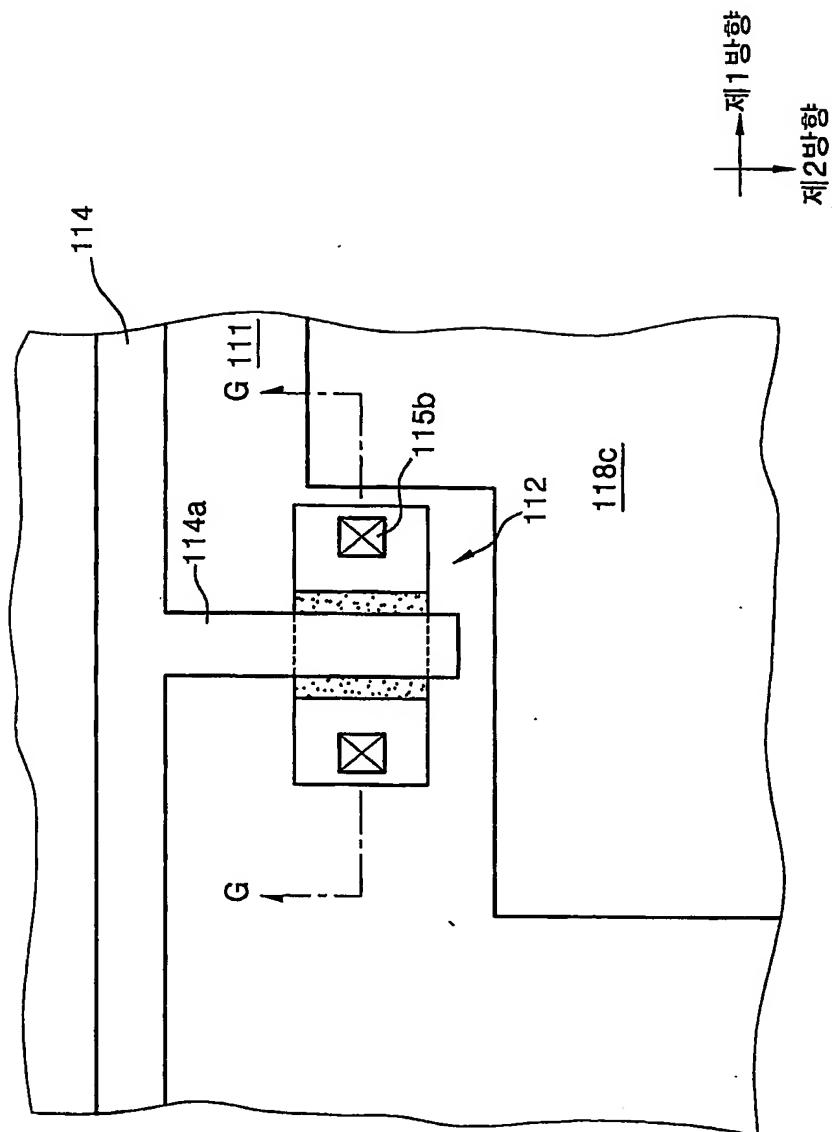
【도 13】



1020020078015

출력 일자: 2003/1/24

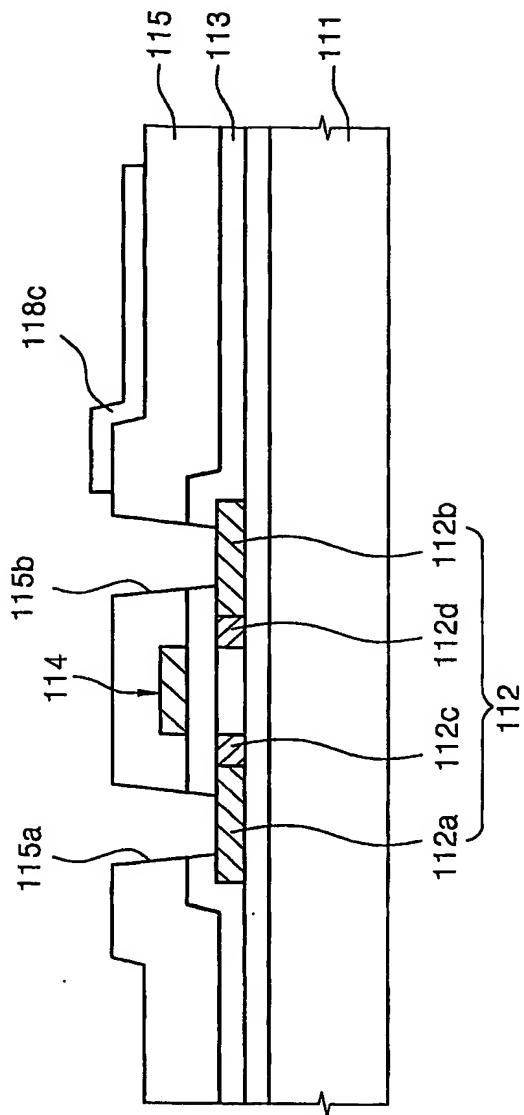
【도 14】



1020020078015

출력 일자: 2003/1/24

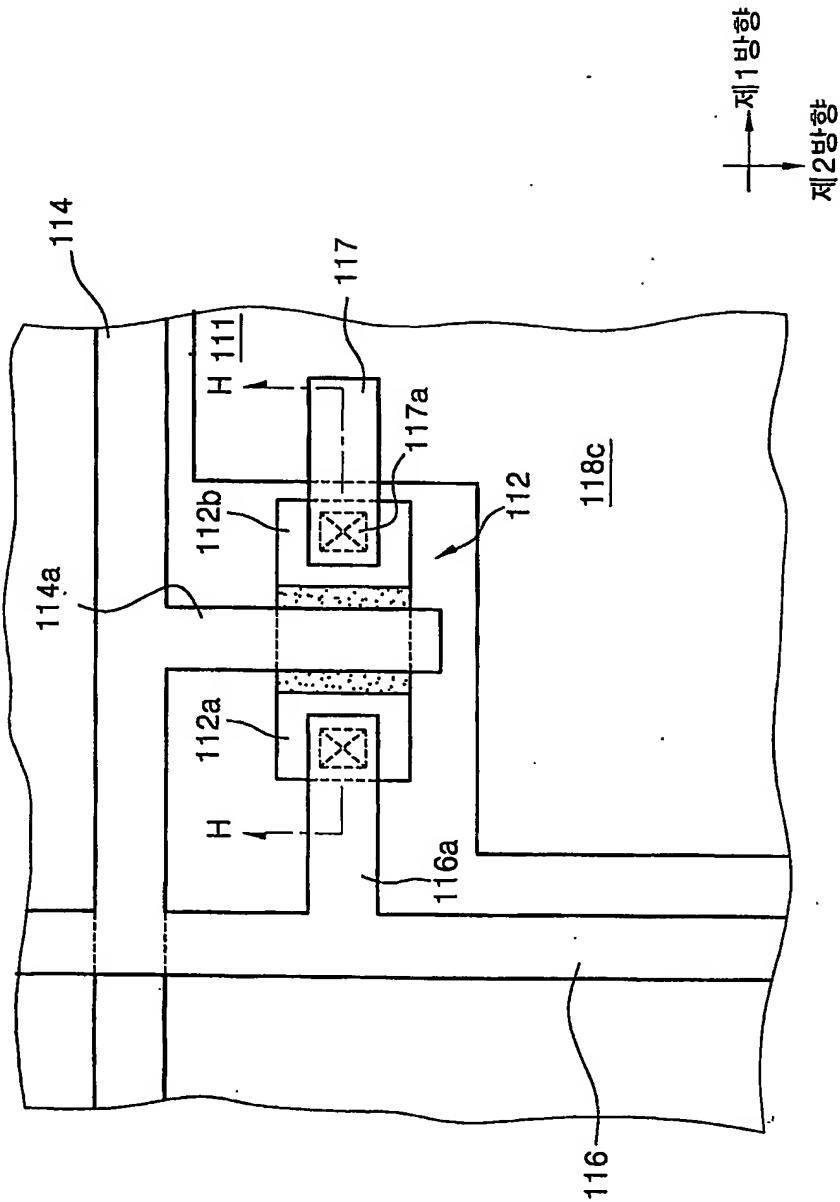
【도 15】



1020020078015

출력 일자: 2003/1/24

【도 16】



【도 17】

